

IFW



Docket No. 251822US2/tca

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Noboru MATSUDA, et al.

GAU: 2812

SERIAL NO: 10/820,792

EXAMINER:

FILED: April 9, 2004

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

SUBMISSION OF PRIORITY DOCUMENT(S)

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Certified copies of the Convention Application(s) corresponding to the above-captioned matter:

- ☒ are submitted herewith
- ☐ were filed in prior application filed
- ☐ were submitted to the International Bureau in PCT Application Number
- ☐ Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913
Joseph Scafetta, Jr.
Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 11/04)

10/830, 792

日本国特許庁
JAPAN PATENT OFFICE

BEST AVAILABLE COPY

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2004年 2月26日
Date of Application:

出願番号 特願2004-051900
Application Number:
ST. 10/C]: [JP2004-051900]

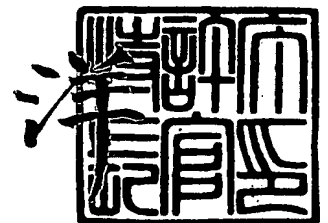
願人 株式会社東芝
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年11月 2日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 14468801
【提出日】 平成16年 2月26日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 松 田 昇
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 高 山 正 司
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ
 エレクトロニクスセンター内
 【氏名】 江 渕 康 男
【特許出願人】
 【識別番号】 000003078
 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号
 【氏名又は名称】 株式会社 東 芝
【代理人】
 【識別番号】 100075812
 【弁理士】
 【氏名又は名称】 吉 武 賢 次
【選任した代理人】
 【識別番号】 100088889
 【弁理士】
 【氏名又は名称】 橋 谷 英 俊
【選任した代理人】
 【識別番号】 100082991
 【弁理士】
 【氏名又は名称】 佐 藤 泰 和
【選任した代理人】
 【識別番号】 100096921
 【弁理士】
 【氏名又は名称】 吉 元 弘
【選任した代理人】
 【識別番号】 100103263
 【弁理士】
 【氏名又は名称】 川 崎 康
【手数料の表示】
 【予納台帳番号】 087654
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

第 1 導電型の第 1 半導体層と、

前記第 1 半導体層上に形成された第 1 導電型と異なる第 2 導電型の第 2 半導体層と、

前記第 2 半導体層上に選択的に形成された第 1 導電型の第 3 半導体層と、

前記第 3 半導体層および第 2 半導体層を貫通し前記第 1 半導体層に達するトレンチと、

前記トレンチ内の側面および底面に沿って形成されたゲート絶縁膜と、

前記トレンチの側面の前記ゲート絶縁膜に接するように形成され、前記ゲート絶縁膜に接する面と反対側の面が前記トレンチの底部の前記ゲート絶縁膜とともに、前記トレンチの前記底部から開口部側に延在する空洞を形成するゲート電極と、

を備えたことを特徴とする半導体装置。

【請求項 2】

前記ゲート電極は、前記ゲート絶縁膜に接する第 1 電極材料からなる第 1 電極膜と、前記第 1 電極膜に接する第 2 電極材料からなる第 2 電極膜とを備えていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 電極材料は前記第 1 電極材料より抵抗が低いことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記第 2 電極材料は、シリサイドから構成されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 5】

第 1 導電型の第 1 半導体層と、前記第 1 半導体層上に形成された第 1 導電型と異なる第 2 導電型の第 2 半導体層と、前記第 2 半導体層上に選択的に形成された第 1 導電型の第 3 半導体層と、を有する半導体基板に、前記第 3 半導体層および第 2 半導体層を貫通し前記第 1 半導体層に達するトレンチを形成する工程と、

前記トレンチ内の側面および底面に沿ってゲート絶縁膜を形成する工程と、

前記トレンチ内の前記ゲート絶縁膜に沿ってポリシリコンからなる第 1 電極膜を形成する工程と、

前記トレンチの底部の前記第 1 電極膜を除去し、前記トレンチ内の側面に前記第 1 電極膜を残存させる工程と、

前記トレンチ内に側面に残存している前記第 1 電極膜を覆う高融点金属膜を形成する工程と、

熱処理を行うことにより、前記第 1 電極膜のシリコンと前記高融点金属とを反応させ高融点金属シリサイド層を形成する工程と、

未反応の高融点金属を除去することにより、前記トレンチの底部の前記ゲート絶縁膜と前記高融点金属シリサイド層の表面とによって、前記トレンチの前記底部から開口部側に延在する空洞を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【書類名】 明細書**【発明の名称】 半導体装置およびその製造方法****【技術分野】****【0001】**

本発明は、トレンチゲート構造の半導体装置およびその製造方法に関し、特にパワー MOSFET に用いられる。

【背景技術】**【0002】**

トレンチゲート構造の MOSFET は、以前より、パワー MOS スイッチとして広く利用されている。パワー MOS スイッチは一般に高速に動作することが要求されている。パワー MOS スイッチの高速性の指標は、MOSFET の ON 抵抗 R_{on} とスイッチング電荷量 Q_{sw} の積 ($R_{on} \times Q_{sw}$) と、ゲート配線抵抗 R_g であり、両指標を低減させる必要がある。

【0003】

このような観点から、MOSFET のゲートの配線抵抗 R_g を低減した半導体装置が提案されており（特許文献 1 参照）、その構成を図 15 に示す。この従来の半導体装置は、ドレインとなる N^+ 半導体基板 2 上に N^- 型のエピタキシャル層 4 が形成され、この N^- 型のエピタキシャル層 4 に P 型の拡散層 6 が形成されている。更に、P 型の拡散層 6 上に選択的にソースとなる N^+ 型の拡散層 8 が形成されている。そして、 N^+ 型の拡散層 8 および P 型の拡散層 6 を貫通し N^- 型のエピタキシャル層 4 に達するトレンチ 12 が形成され、このトレンチ 12 の内面、すなわち側面および底面に沿ってゲート絶縁膜 14 が形成されている。ゲート絶縁膜 14 が内面に沿って形成されたトレンチ 12 内に、ゲート絶縁膜 14 に接するように堆積されたポリシリコン 28 およびポリシリコン 28 上にトレンチ 12 を完全に埋め込むように積層されたシリサイド膜 29 からなるゲート電極が形成されている。

【0004】

しかし、この特許文献 1 に記載の半導体装置においては、ポリシリコン 28 上に高融点金属を堆積し、熱処理することで、高融点金属とシリコンとを反応させてシリサイド膜 29 を形成する際に、特にトレンチ 12 の底部でポリシリコン 28 とシリサイド膜 29 との界面に応力が発生し易く、この発生した応力によりチャネルとなる P 型の拡散層 6 および N^- 型のエピタキシャル層 4 に亀裂が入るおそれがある。このため、ドレインとソース間にリーク電流 I_{ds} の増加が引き起こされ易く、信頼性に問題がある。

【特許文献 1】 特開 2001-345446 号公報

【発明の開示】**【発明が解決しようとする課題】****【0005】**

本発明は、高速に動作するとともに信頼性の高い、トレンチゲート構造の半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】**【0006】**

本発明の第 1 の態様による半導体装置は、第 1 導電型の第 1 半導体層と、前記第 1 半導体層上に形成された第 1 導電型と異なる第 2 導電型の第 2 半導体層と、前記第 2 半導体層上に選択的に形成された第 1 導電型の第 3 半導体層と、前記第 3 半導体層および第 2 半導体層を貫通し前記第 1 半導体層に達するトレンチと、前記トレンチ内の側面および底面に沿って形成されたゲート絶縁膜と、前記トレンチの側面の前記ゲート絶縁膜に接するように形成され、前記ゲート絶縁膜に接する面と反対側の面が前記トレンチの底部の前記ゲート絶縁膜とともに、前記トレンチの前記底部から開口部側に延在する空洞を形成するゲート電極と、を備えたことを特徴とする。

【0007】

また、本発明の第 2 の態様による半導体装置の製造方法は、第 1 導電型の第 1 半導体層

と、前記第1半導体層上に形成された第1導電型と異なる第2導電型の第2半導体層と、前記第2半導体層上に選択的に形成された第1導電型の第3半導体層と、を有する半導体基板に、前記第3半導体層および第2半導体層を貫通し前記第1半導体層に達するトレンチを形成する工程と、前記トレンチ内の側面および底面に沿ってゲート絶縁膜を形成する工程と、前記トレンチ内の前記ゲート絶縁膜に沿ってポリシリコンからなる第1電極膜を形成する工程と、前記トレンチの底部の前記第1電極膜を除去し、前記トレンチ内の側面に前記第1電極膜を残存させる工程と、前記トレンチ内に側面に残存している前記第1電極膜を覆う高融点金属膜を形成する工程と、熱処理を行うことにより、前記第1電極膜のシリコンと前記高融点金属とを反応させ高融点金属シリサイド層を形成する工程と、未反応の高融点金属を除去することにより、前記トレンチの底部の前記ゲート絶縁膜と前記高融点金属シリサイド層の表面とによって、前記トレンチの前記底部から開口部側に延在する空洞を形成する工程と、を備えたことを特徴とする。

【発明の効果】

【0008】

高速に動作するとともに信頼性の高い、トレンチゲート構造の半導体装置およびその製造方法を得ることができる。

【発明を実施するための最良の形態】

【0009】

本発明の実施形態を以下に図面を参照して説明する。

【0010】

(第1実施形態)

本発明の第1実施形態による半導体装置を図1および図2を参照して説明する。図1は、第1実施形態による半導体装置の構成を示す断面図であり、図2は、第1実施形態による半導体装置の後述するソース電極を形成する前の平面図である。なお、図1は、図2に示す切断線A-A'に沿って切断したときの断面図に相当する。

【0011】

図1に示すように、本実施形態による半導体装置は、ドレインとなる N^+ 型の半導体基板2上に N^- 型のエピタキシャル層4が形成され、この N^- 型のエピタキシャル層4にP型の拡散層6が形成されている。更に、P型の拡散層6上に選択的にソースとなる N^+ 型の拡散層8が形成されている。なお、 N^+ 型の拡散層8が形成されていないP型の拡散層6の表面領域には、MOSFETの閾値を安定させるために P^+ 型の拡散層32が形成されている。そして、 N^+ 型の拡散層8およびP型の拡散層6を貫通し N^- 型のエピタキシャル層4に達するトレンチ12が形成されている。

【0012】

トレンチ12は図2に示すように、半導体チップ1に複数個形成され、各トレンチ12は図1の紙面に対して垂直方向に延在するように形成されている。各トレンチ12の内面、すなわち側面および底面に沿ってゲート絶縁膜14が形成されている。ゲート絶縁膜14が内面に沿って形成されたトレンチ12内にゲート電極20が形成されている。このゲート電極20は、トレンチ12の側面にのみゲート絶縁膜14を介して形成され、ゲート絶縁膜14に接するポリシリコンからなる電極膜20aと、シリサイドからなる電極膜20bとの積層構造となっている。そして、この電極膜20bによってトレンチ12の底部のゲート絶縁膜14の表面からトレンチ12の上面に達する空洞24がトレンチ12に形成される。この空洞24は、図1の紙面に対して垂直方向、すなわちトレンチ12の長手方向に延在した構成となっている。また、ゲート電極20の上面を覆うように絶縁膜30が形成されている。したがって、空洞24は、トレンチ12の底部のゲート絶縁膜14と、トレンチ12の上面の層間絶縁膜30と、ゲート電極20の電極膜20bの表面とによって形成される。そして、この絶縁膜30を覆い N^+ 型の拡散層8と電気的に接続される例えば金属からなるソース電極40が形成された構成となっている。なお、絶縁膜30はゲート電極28とソース電極40とを絶縁するために設けられている。一方、半導体基板2の裏面側には、図示しないドレイン電極が形成されている。

【0013】

また、それぞれのトレンチ12内に設けられたゲート電極20は、図2に示すように、半導体チップ1に設けられた例えばポリシリコンからなるゲート引き出し電極25とトレンチ12の端部で接続される。ゲート引き出し電極25は、図2に示すように、各トレンチ内のゲート電極20を共通に接続するために、半導体チップ1の一角を除いた周辺にも形成される。半導体チップ1の上記一角には、ゲート引き出し電極25と電氣的に接続される、例えば金属からなるゲートパッド27が形成されている。

【0014】

したがって、本実施形態の半導体装置においては、各トレンチ12内に形成されたゲート電極20が一つのMOSFETのゲートであるから、複数のMOSFETのゲートが共通に接続されるとともに、複数のMOSFETのドレイン2とソース8がそれぞれ共通に接続された構成となっている。

【0015】

そして、本実施形態においては、ゲート電極20のシリサイドからなる電極膜20bの表面に、空洞24がトレンチ12の底部のゲート絶縁膜14の表面からトレンチ12の上面に達するように形成されている。このため、シリサイドからなる電極膜20bとポリシリコンからなる電極膜20aとの界面で応力が発生しても、この応力による歪みを空洞24が吸収するため、ソースとなる N^+ 型の拡散層8およびP型の拡散層6に亀裂が入ることはない。したがって、ドレインとソース間のリーク電流 I_{ds} が増加せず、信頼性が高いものとなる。また、トレンチ12の底部にはゲート電極20が設けられていないため、ゲート・ドレイン間の容量 C_{gd} が従来の場合に比べて低下し、さらにゲート電極20が低抵抗のシリサイドからなる電極膜20bを含んでいるため、従来の場合に比べて高速に動作することができる。

【0016】

次に、本実施形態による半導体装置の製造方法を、図3乃至図11を参照して説明する。

【0017】

まず、図3に示すように、 N^+ 半導体基板2上に N^- 型のエピタキシャル層4を形成し、この N^- 型のエピタキシャル層4にP型の拡散層6を形成する。続いて、拡散層6上に例えば、 SiO_2 からなる第1パターン（図示せず）を形成する。この第1パターンは、図2に示すゲート引き出し電極25とゲートパッド27が設けられる領域に形成される。そして、この第1パターンをマスクとして、図4に示すように、P型の拡散層6に N^+ 型の拡散層8を形成する。

【0018】

次に、図5に示すように、 N^+ 型の拡散層8上に、例えば、 SiO_2 からなる第2パターン10を形成し、この第2パターン10をマスクとして N^+ 型の拡散層8およびP型の拡散層6を貫通し N^- 型のエピタキシャル層4に達するトレンチ12を形成する。続いて、上記第1および第2パターン10を除去する。

【0019】

次に、図6に示すように、トレンチ12の底面および側面を覆うように所定の膜厚のゲート絶縁膜14を形成する。続いて図7に示すように、トレンチ12内に、トレンチ12の底部のゲート絶縁膜14からトレンチ12の上面に達する空洞24が形成されるようにゲート電極20を形成するとともに図2に示すゲート引き出し電極25を形成する。このゲート電極20の形成の詳細を、図8(a)乃至図8(c)を参照して説明する。

【0020】

まず、トレンチ12内の側面および底面に形成されたゲート絶縁膜14上に、ポリシリコン膜を形成する。なお、ポリシリコン膜は、トレンチ12内の側面および底面に形成されたゲート絶縁膜14を覆うがトレンチ12が完全に埋め込まれないように形成される。このポリシリコン膜に不純物を導入した後、図2に示すゲート引き出し電極25上に、例えばレジストからなる第3のパターン（図示せず）を形成する。そして、この第3のパタ

ーンをマスクとしてポリシリコン膜をエッチバックし、ゲート引き出し電極 25 となる領域を除くポリシリコン膜を平坦化するとともに、トレンチ 12 の底部のゲート絶縁膜 14 を露出させる。これにより、トレンチ 12 のゲート絶縁膜 14 に沿って不純物が導入されたポリシリコンからなる電極膜 20a が、トレンチ 12 内に形成される（図 8（a）参照）。

【0021】

続いて、第 3 のパターンを除去した後、全面に Ti 膜、TiN 膜を順次堆積し、Ti/TiN からなる積層膜 21 を形成する。その後、熱処理を行う。この熱処理により、ポリシリコンからなる電極膜 20a のシリコンと Ti とが反応し、電極膜 20a 上にのみ TiSi₂ のシリサイド層が形成される。その後、ウェット処理を行って、反応しなかった Ti/TiN からなる積層膜 21 を選択的に除去し、ポリシリコンからなる電極膜 20a 上にのみ TiSi₂ からなる電極膜 20b が形成される。次に、図 8（c）に示すように、例えば CVD（Chemical Vapor Deposition）法により、全面に絶縁膜 30 を形成する。このようにしてトレンチ 12 内に、ゲート電極 20 が形成されるとともに、トレンチ 12 の底部のゲート絶縁膜 14 と、トレンチ 12 の上面の絶縁膜 30 と、ゲート電極 20 の電極膜 20b の表面とによって、空洞 24 がトレンチ 12 内に形成される。なおここでは、トレンチ 12 が底部まで完全に埋め込まれてしまわないように、絶縁膜 30 が形成できればよく、トレンチ 12 内の上方は絶縁膜 30 によって埋め込まれても、特に問題はない。

【0022】

次に、図 9 に示すように、フォトリソグラフィ技術を用いて絶縁膜 30 およびゲート絶縁膜 14 をパターニングする。このパターニングによって、各トレンチ 12 はパターニングされた絶縁膜 30 によって覆われるとともに図 2 に示すゲート引き出し電極 25 が形成される領域上もパターニングされた絶縁膜 30 によって覆われる。

【0023】

続いて、フォトリソグラフィ技術を用いてソースとなる N⁺ 型の拡散層 8 をパターニングし、隣接するトレンチ 12 間における N⁺ 型の拡散層 8 の一部を除去する（図 10 参照）。これにより、除去された N⁺ 型の拡散層 8 の位置は P 型の拡散層 6 が露出することになる。そして、露出した P 型の拡散層 6 の表面領域に P 型の不純物を導入し、P⁺ 型の拡散層 32 を形成する。この P⁺ 型の拡散層 32 は MOSFET の閾値を安定させるために設けられる。

【0024】

さらに、フォトリソグラフィ技術を用いて絶縁膜 30 およびゲート絶縁膜 14 をパターニングし N⁺ 型の拡散層 8 の表面と図 2 に示すゲート引き出し電極 25 を選択的に露出させる（図 11 参照）。その後、例えば Al からなる金属を全面に堆積し、フォトリソグラフィ技術を用いてパターニングすることにより、図 2 に示すゲート引き出し電極 25 およびゲートパッド 27 と対応するゲートパターンと、ソース電極 40 となるパターンとを電氣的に絶縁し、半導体装置を完成する。

【0025】

以上説明したように、本実施形態によれば、シリサイドからなる電極膜 20b とポリシリコンからなる電極膜 20a との界面で応力が発生しても、この応力による歪みを空洞 24 が吸収するため、N⁻ 型のエピタキシャル層 4 および P 型の拡散層 6 に亀裂が入ることはない。したがって、ドレインとソース間のリーク電流 I_{ds} が増加せず、信頼性が高いものとなる。また、トレンチ 12 の底部にはゲート電極 20 が存在しないため、ゲート・ドレイン間の容量 C_{gd} を従来に比べて低下させることが可能となり、高速に動作することができる。

【0026】

（第 2 実施形態）

次に、本発明の第 2 実施形態による半導体装置の構成を、図 12（a）乃至図 12（d）を参照して説明する。図 12（a）乃至図 12（d）は、本実施形態による半導体装置のゲート電極の形成方法を説明する製造工程断面図である。この実施形態による半導体装

置は、図 1 に示す第 1 実施形態による半導体装置に比べて、ゲート電極 20 のシリサイドからなる電極層 20b の膜厚を厚くした構成となっている。ゲート電極 20 のシリサイドからなる電極層 20b の膜厚を厚くする以外は、第 1 実施形態の半導体装置と同じ構成となっている。

【0027】

次に、本実施形態の半導体装置に係るゲート電極 20 の形成を説明する。まず、図 12 (a) に示すように、トレンチ 12 の内面に沿って所定の膜厚のゲート絶縁膜 14 を形成する。続いて、トレンチ 12 内の側面および底面に形成されたゲート絶縁膜 14 上に、ポリシリコン膜を形成する。なお、ポリシリコン膜は、トレンチ 12 内の側面および底面に形成されたゲート絶縁膜 14 を覆うがトレンチ 12 が完全に埋め込まれないように形成される。このポリシリコン膜に不純物を導入した後、ポリシリコン膜をエッチバックし、ポリシリコン膜を平坦化するとともにトレンチ 12 の底部のゲート絶縁膜 14 を露出させる。これにより、トレンチ 12 のゲート絶縁膜 14 に沿って不純物が導入されたポリシリコンからなる電極膜 20a が、トレンチ 12 内に形成される（図 12 (a) 参照）。その後、ゲート電極膜 20a を覆うようにトレンチ 12 内にポリシリコン膜を形成し、このポリシリコン膜をエッチバックし、ポリシリコン膜を平坦化するとともにトレンチ 12 の底部のゲート絶縁膜 14 を露出させる。これにより、トレンチ 12 内の電極膜 20a を覆うポリシリコン膜 22 が、トレンチ 12 内に形成される（図 12 (a) 参照）。

【0028】

続いて、全面に Ti 膜、TiN 膜を順次形成し、熱処理を行う。この熱処理により、ポリシリコン膜 22 のシリコンと Ti とが反応し、ポリシリコン膜 22 が $TiSi_2$ からなるシリサイド層に変化する。その後、ウェット処理を行って、Ti 膜、TiN 膜を選択的に除去することにより、電極膜 20a 上にのみ $TiSi_2$ からなるシリサイド層 22a が形成される（図 12 (b) 参照）。

【0029】

続いて、シリサイド層 22a を覆うようにトレンチ 12 内にポリシリコン膜を形成し、このポリシリコン膜をエッチバックし、ポリシリコン膜を平坦化するとともにトレンチ 12 の底部のゲート絶縁膜 14 を露出させる。これにより、トレンチ 12 内のシリサイド層 22a を覆うポリシリコン膜 23 が、トレンチ 12 内に形成される（図 12 (c) 参照）。

【0030】

続いて、全面に Ti 膜、TiN 膜を順次形成し、熱処理を行う。この熱処理により、ポリシリコン膜 23 のシリコンと Ti とが反応し、ポリシリコン膜 23 が $TiSi_2$ からなるシリサイド層に変化する。その後、ウェット処理を行って、Ti 膜、TiN 膜を選択的に除去することにより、シリサイド層 22a 上にのみ $TiSi_2$ からなるシリサイド層が形成される。このとき形成されたシリサイド層はシリサイド層 22a と一緒になってシリサイドからなる電極膜 20b を構成する（図 12 (d) 参照）。これにより、第 1 実施形態の場合に比べて膜厚の厚いシリサイドからなる電極膜 20b を得ることができる。このシリサイドからなる電極膜 20b が形成された後、例えば CVD 法により絶縁膜 30 を形成する（図 12 (d) 参照）。これにより、トレンチ 12 の底部のゲート絶縁膜 14 と、シリサイドからなる電極膜 20b の表面と、絶縁膜 30 によって、トレンチ 12 内に空洞 24 が形成される。

【0031】

なお、本実施形態においては、シリサイド層の形成工程は 2 回であったが、3 回以上行ってもよい。

【0032】

以上説明したように、本実施形態においては、シリサイドからなる電極膜 20b を第 1 実施形態に比べて厚くすることが可能となり、ゲート電極 20 の抵抗を低下させることが可能となり、より高速にスイッチング動作することができる。

【0033】

また、本実施形態においても、第1実施形態と同様に空洞24がトレンチ12内に形成されているため、シリサイドからなる電極膜20bとポリシリコンからなる電極膜20aとの界面で応力が発生しても、この応力による歪みを空洞24が吸収する。このため、N⁻型のエピタキシャル層4およびP型の拡散層6に亀裂が入ることはない。したがって、ドレインとソース間のリーク電流 I_{dss} が増加せず、信頼性が高いものとなる。

【0034】

(第3実施形態)

次に、本発明の第3実施形態による半導体装置を、図13を参照して説明する。図13は、本実施形態による半導体装置の構成を示す断面図である。この実施形態による半導体装置は、図1に示す第1実施形態による半導体装置において、ゲート電極20のポリシリコンからなる電極膜20aをシリサイド層とした構成となっている。すなわち、ゲート電極20はシリサイドのみからなっている。ゲート電極20がシリサイドのみからなっている以外は、第1実施形態の半導体装置と同じ構成となっている。

【0035】

次に、本実施形態の半導体装置に係るゲート電極20の形成を、図14(a)乃至図14(c)を参照して説明する。まず、図14(a)に示すように、トレンチ12の内面に沿って所定の膜厚のゲート絶縁膜14を形成する。続いて、トレンチ12内の側面および底面に形成されたゲート絶縁膜14上に、ポリシリコン膜を形成する。なお、ポリシリコン膜は、トレンチ12内の側面および底面に形成されたゲート絶縁膜14を覆うがトレンチ12が完全に埋め込まれないように形成される。このポリシリコン膜に不純物を導入した後、ポリシリコン膜をエッチバックし、ポリシリコン膜を平坦化するとともにトレンチ12の底部のゲート絶縁膜14を露出させる。これにより、トレンチ12のゲート絶縁膜14に沿って不純物が導入されたポリシリコンからなる電極膜20aが、トレンチ12内に形成される(図14(a)参照)。

【0036】

続いて、図14(b)に示すように全面にTi膜、TiN膜を順次堆積し、Ti/TiNからなる積層膜21を形成する。その後、熱処理を行う。この熱処理により、ポリシリコン膜20aのシリコンとTiとが反応し、ポリシリコン膜20aがTiSi₂からなるシリサイド層に変化する。その後、ウェット処理を行って、Ti膜、TiN膜を選択的に除去することにより、シリサイド層からなるゲート電極20が形成される(図14(c)参照)。このシリサイドからなるゲート電極膜20が形成された後、例えばCVD法により絶縁膜30を形成する(図14(c)参照)。これにより、トレンチ12の底部のゲート絶縁膜14と、シリサイドからなるゲート電極20の表面と、絶縁膜30によって、トレンチ12内に空洞24が形成される。

【0037】

なお、本実施形態においては、シリサイド層の形成工程は1回であったが、2回以上行ってもよい。

【0038】

以上説明したように、本実施形態においては、ゲート電極20がシリサイドのみから構成されているため第1および第2実施形態に比べて、ゲート電極20の抵抗が低く、より高速にスイッチング動作することが可能となる。

【0039】

また、本実施形態においても、第1実施形態と同様に空洞24がトレンチ12内に形成されているため、N⁻型エピタキシャル層4およびP型の拡散層6に亀裂が入ることはない。したがって、ドレインとソース間のリーク電流 I_{dss} が増加せず、信頼性が高いものとなる。

【0040】

なお、本発明は、以上の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で適宜変形して実施することができる。例えば、各実施形態においては、ゲート電極を構成するシリサイドとしてTiのシリサイドを形成したが、NiやCoなどの他の高

融点金属のシリサイドを同様の形成工程によって形成してもよい。また、各実施形態では、本発明をトレンチゲート構造のMOSFETに適用した例を示したが、トレンチゲート構造を有するものであれば、IGBT(Insulated Gate Bipolar Transistor)、IEGT(Injection Enhanced insulation Gate bipolar Transistor)などの他の半導体装置にも勿論適用可能である。

【図面の簡単な説明】

【0041】

【図1】 本発明の第1実施形態による半導体装置の構成を示す断面図。

【図2】 本発明の第1実施形態による半導体装置の平面図。

【図3】 本発明の第1実施形態による半導体装置の製造工程を示す断面図。

【図4】 本発明の第1実施形態による半導体装置の製造工程を示す断面図。

【図5】 本発明の第1実施形態による半導体装置の製造工程を示す断面図。

【図6】 本発明の第1実施形態による半導体装置の製造工程を示す断面図。

【図7】 本発明の第1実施形態による半導体装置の製造工程を示す断面図。

【図8】 本発明の第1実施形態の半導体装置に係るゲート電極の製造工程を示す断面図。

【図9】 本発明の第1実施形態による半導体装置の製造工程を示す断面図。

【図10】 本発明の第1実施形態による半導体装置の製造工程を示す断面図。

【図11】 本発明の第1実施形態による半導体装置の製造工程を示す断面図。

【図12】 本発明の第2実施形態の半導体装置に係るゲート電極の製造工程を示す断面図。

【図13】 本発明の第3実施形態による半導体装置の構成を示す断面図。

【図14】 本発明の第3実施形態の半導体装置に係るゲート電極の製造工程を示す断面図。

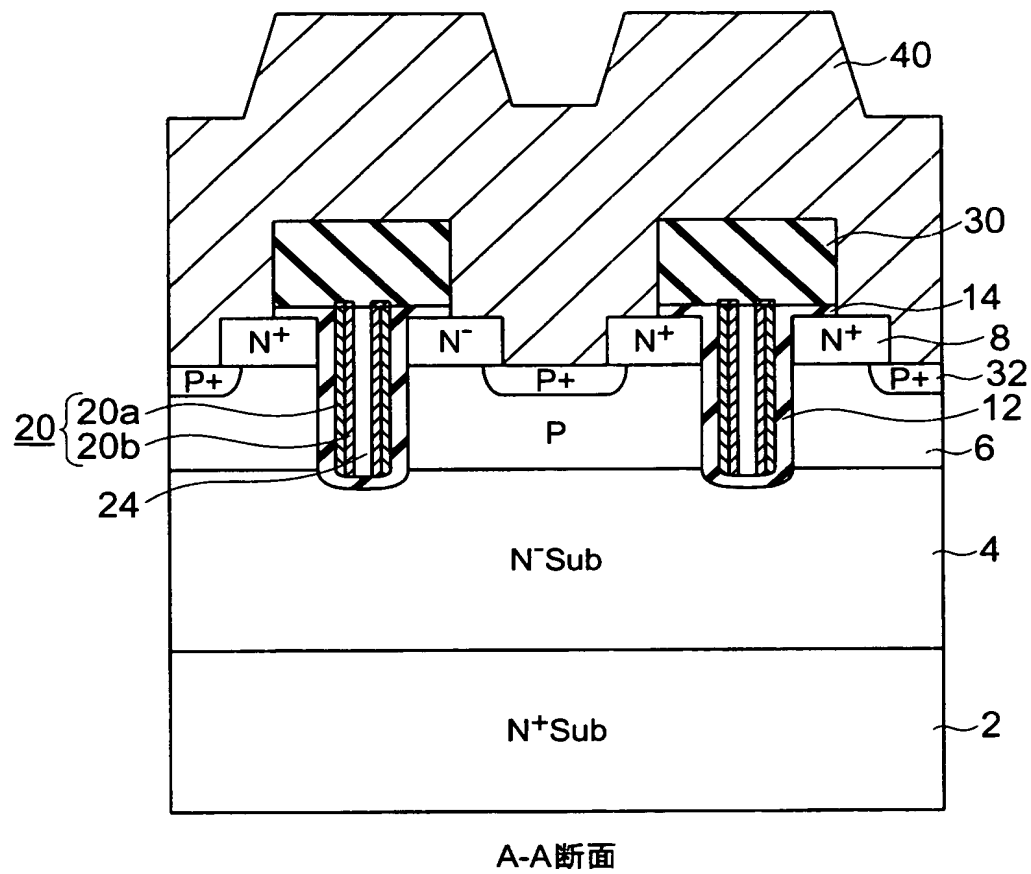
【図15】 従来の半導体装置のゲート電極の構成を示す断面図。

【符号の説明】

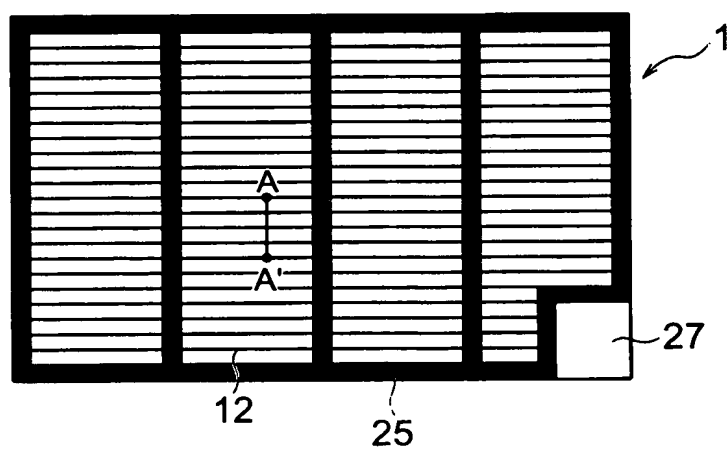
【0042】

- 1 半導体チップ
- 2 N⁺型の拡散層(ドレイン)
- 4 N⁻型の拡散層
- 6 P型の拡散層
- 8 N⁺型の拡散層(ソース)
- 10 SiO₂からなる第2パターン
- 12 トレンチ
- 14 ゲート絶縁膜
- 20 ゲート電極
- 20a ポリシリコンからなる電極膜
- 20b シリサイドからなる電極膜
- 21 Ti/TiNの積層膜
- 22 ポリシリコン膜
- 22a シリサイド層
- 23 ポリシリコン膜
- 24 空洞
- 25 ゲート引き出し電極
- 27 ゲートパッド
- 30 絶縁膜
- 32 P⁺型拡散層
- 40 ソース電極

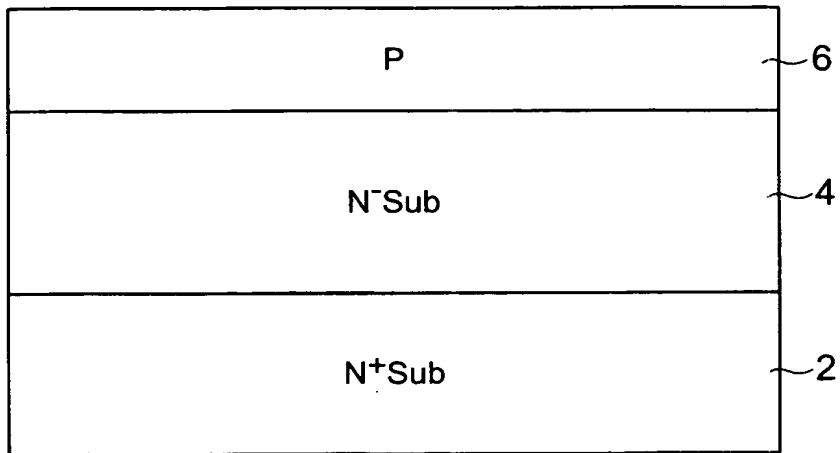
【書類名】 図面
【図 1】



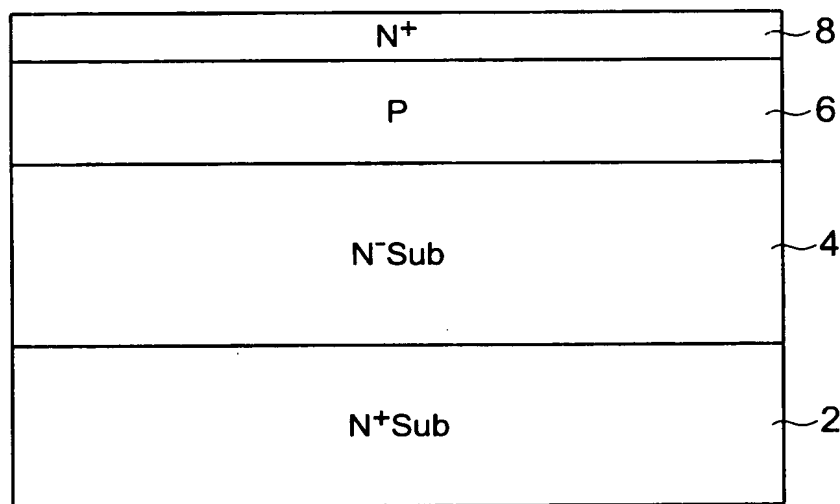
【図 2】



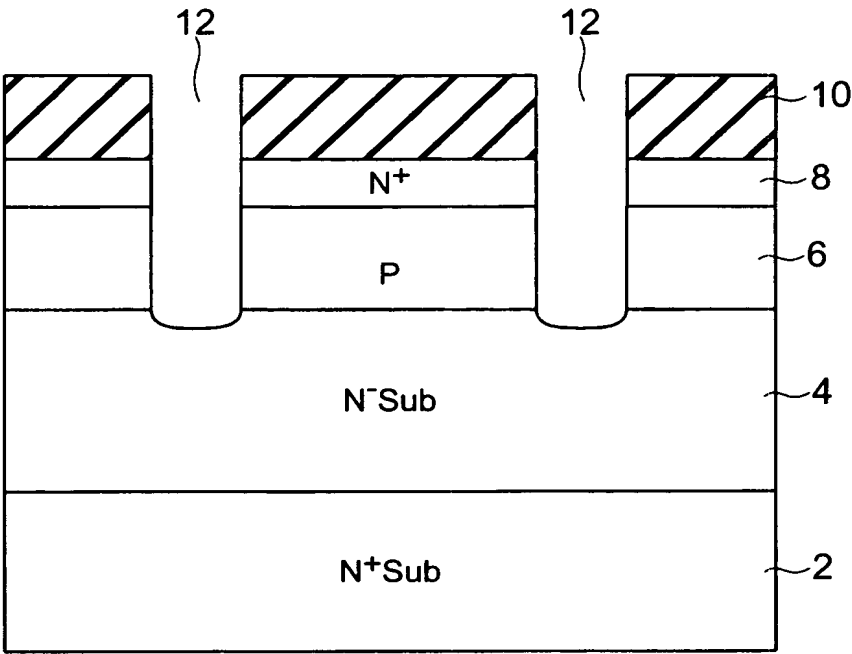
【図 3】



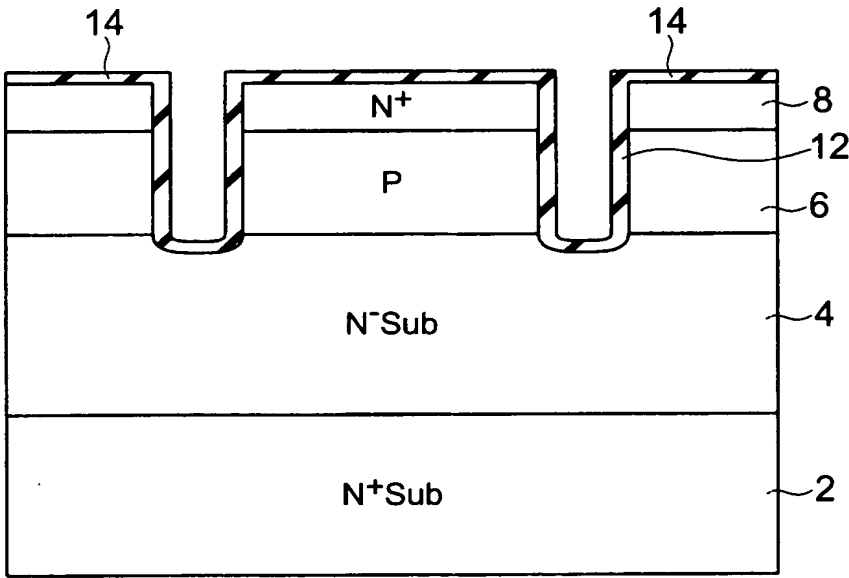
【図 4】



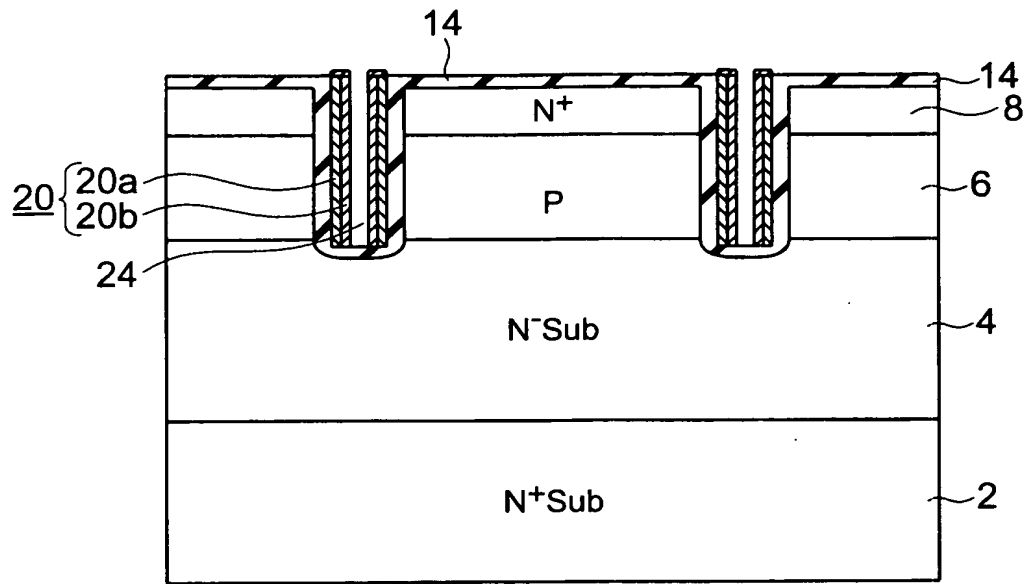
【図 5】



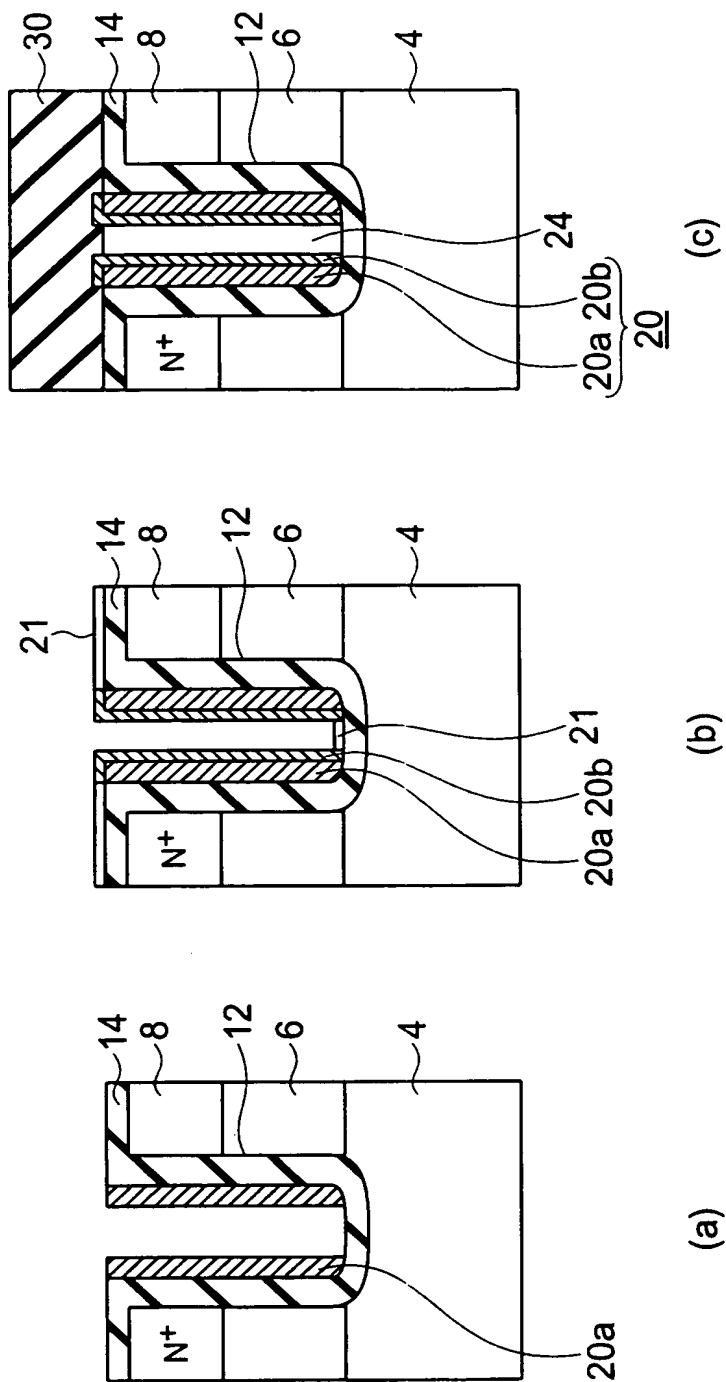
【図 6】



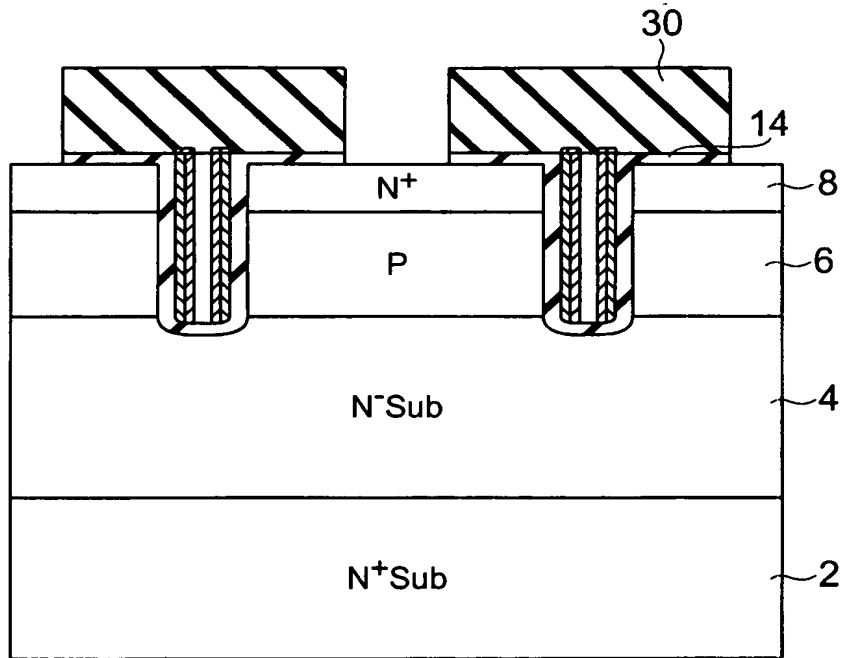
【図 7】



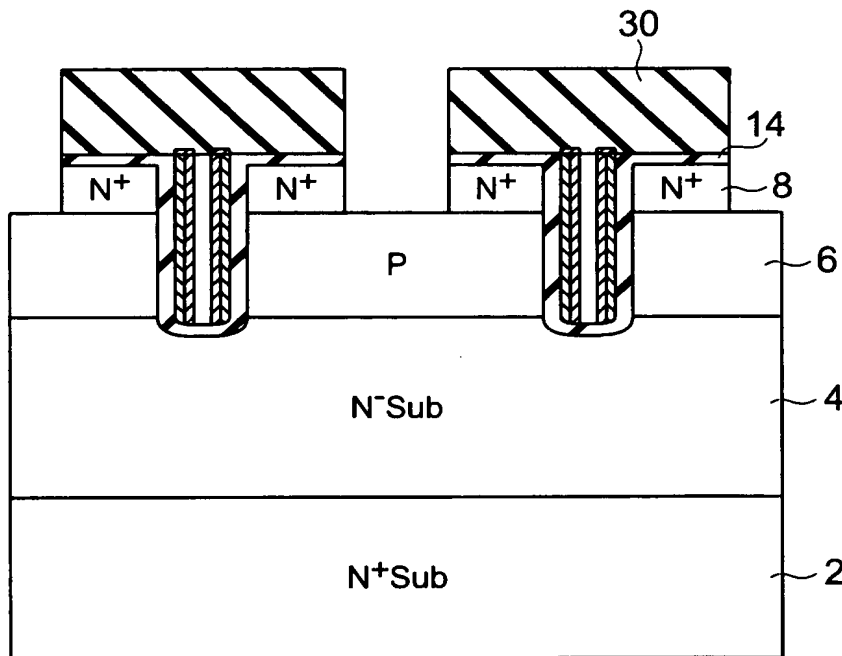
【図 8】



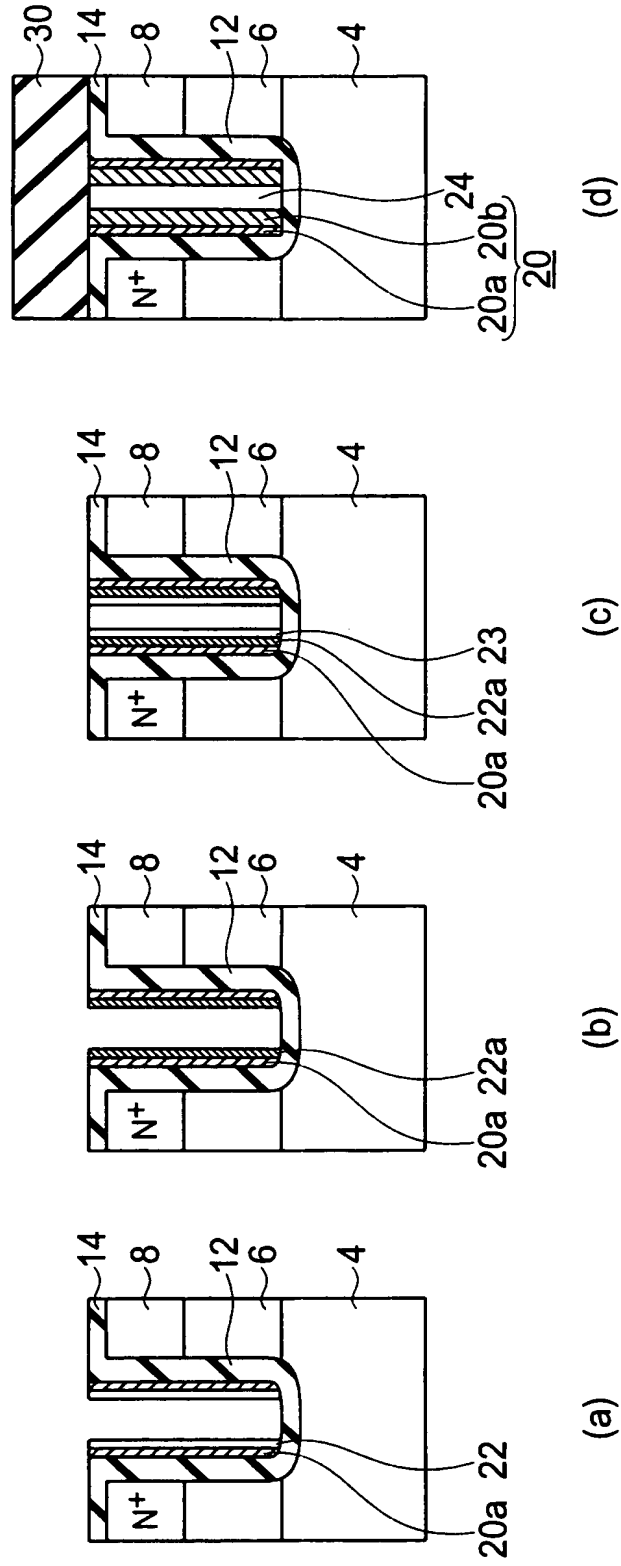
【図 9】



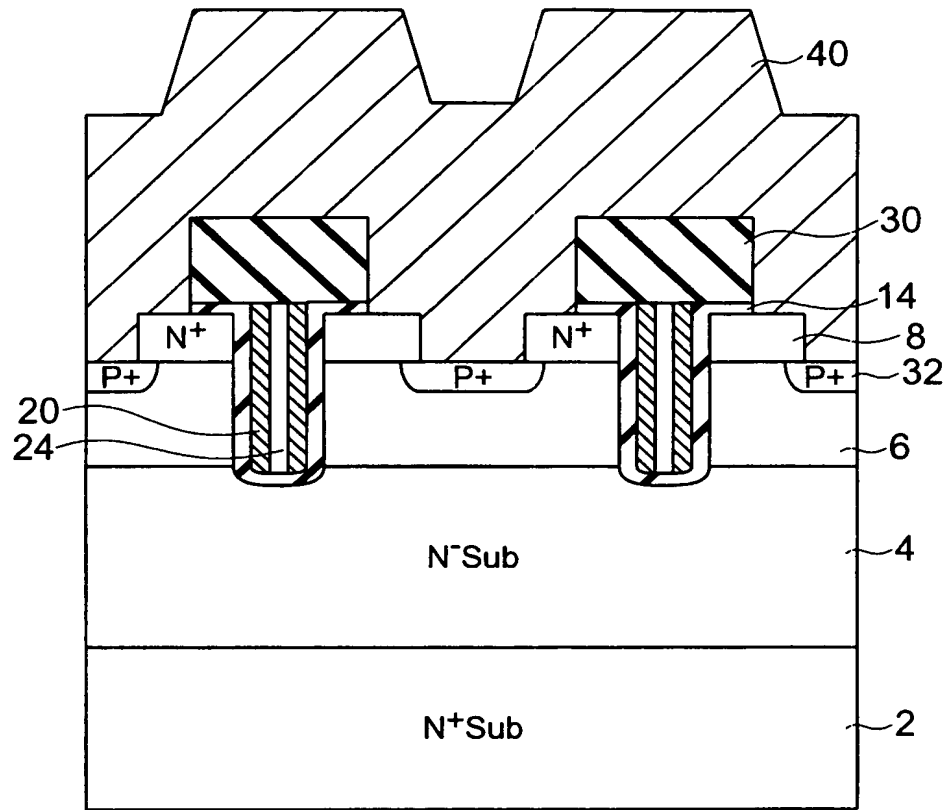
【図 10】



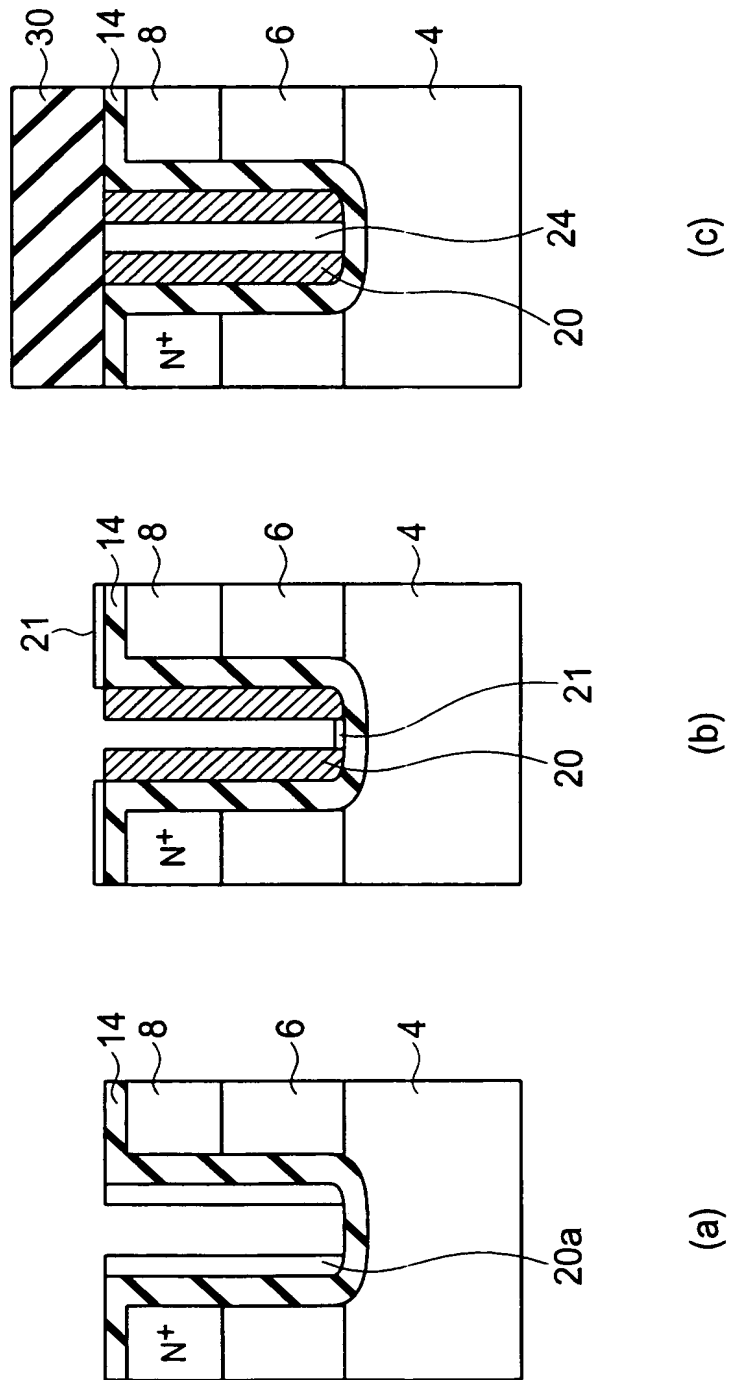
【図 12】



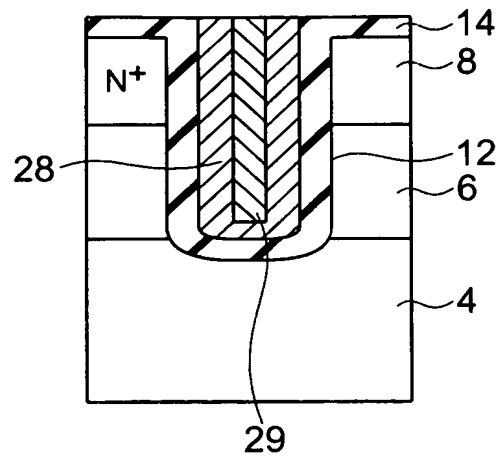
【図 13】



【図 14】



【図 15】



【書類名】 要約書**【要約】**

【課題】 高速に動作するとともに信頼性の高い、トレンチゲート構造の半導体装置およびその製造方法を得ることを可能にする。

【解決手段】 第 1 導電型の第 1 半導体層 4 と、第 1 半導体層上に形成された第 1 導電型と異なる第 2 導電型の第 2 半導体層 6 と、第 2 半導体層上に選択的に形成された第 1 導電型の第 3 半導体層 8 と、第 3 半導体層および第 2 半導体層を貫通し第 1 半導体層に達するトレンチ 1 2 と、トレンチ内の側面および底面に沿って形成されたゲート絶縁膜 1 4 と、トレンチの側面のゲート絶縁膜に接するように形成され、ゲート絶縁膜に接する面と反対側の面がトレンチの底部のゲート絶縁膜とともに、トレンチの底部から開口部側に延在する空洞 2 4 を形成するゲート電極 2 0 と、を備えている。

【選択図】 図 1

特願 2 0 0 4 - 0 5 1 9 0 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝